

Asignatura "Síntesis Automática de Alto Nivel"

Profesor: Angel Barriga Barros

Dpto.: Electrónica y Electromagnetismo

Contenido

1. Introducción

- 1.1. Niveles de abstracción de los sistemas digitales
- 1.2. Metodologías de diseño
- 1.3. Representaciones de diseño
- 1.4. Síntesis de alto nivel

2. Modelo Arquitectural en síntesis

- 2.1. Nivel RT
- 2.2. Arquitectura objetivo
- 2.3. Unidad de control
- 2.4. Red de interconexión

3. Representación interna

- 3.1. Modelo de flujo de control y modelo de flujo de datos
- 3.2. Representación interna para una descripción algorítmica
- 3.3. Transformaciones del grafo de flujo: optimización inicial
- 3.4. Representación interna para una descripción estructural

4. Medidas de calidades

- 4.1. Restricciones y objetivos
- 4.2. Medidas de área
- 4.3. Medidas de prestaciones
- 4.4. Otras medidas

5. Lenguajes de especificación

- 5.1. Características de los lenguajes de descripción de hardware
- 5.2. VHDL: requerimientos para síntesis

