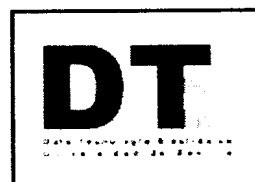




Diseño de Computadores: Síntesis Lógica



[Presentación](#) | [Información práctica](#) | [Programa](#) | [Metodología](#) | [Evaluación](#) | [Prácticas](#) | [Lista de correo](#)

>>> En construcción <<<

Presentación

Diseño de Computadores: Síntesis Lógica es una asignatura optativa de quinto curso de la titulación de Ingeniería Informática impartida en la Universidad de Sevilla. La asignatura comprende 4.5 créditos teóricos y 1.5 créditos prácticos.

El objetivo fundamental de la asignatura es proporcionar al alumno una experiencia de primera mano en el diseño microelectrónico de microprocesadores. Para ello, la asignatura tiene un carácter eminentemente práctico y se articula en torno al diseño por parte del alumno de un microprocesador risc simple (SRC). En el desarrollo de la asignatura se parte de la especificación a nivel de instrucciones del procesador (ISP) y se cubren todas las etapas del diseño: arquitectura, nivel lógico, *layout*, etc. incluyendo la simulación y verificación del sistema.

La asignatura se desarrolla en un entorno flexible que combina clases teóricas y prácticas, proporcionando al alumno todo el material necesario (especificaciones, entorno de diseño, etc.) para el desarrollo de la asignatura de forma casi independiente en caso de necesidad.

Información práctica

Aulas y horario

- Clases teóricas: L4B. Miércoles 12:30h a 14:30h
- Clases prácticas: Aula de Microelectrónica (G0.83, antiguo L3) Lunes 10:30h a 12:30h

Profesorado

- Manuel J. Bellido Díaz
- [Jorge Juan Chico](#)

Lista de correo

La asignatura dispone de una lista de distribución de correo para facilitar la comunicación con los profesores de la asignatura y compartir dudas, soluciones o sugerencias con otros alumnos. Es muy recomendable que los alumnos que cursen esta asignatura se suscriban a esta lista pues será un medio habitual empleado por los profesores para comunicar aspectos relacionados con la asignatura.

- Para gestionar la suscripción a la lista pinchar [aquí](#).
- Para enviar un mensaje a la lista (hay que suscribirse primero): [<alumnos-dcsl@dte.us.es>](mailto:alumnos-dcsl@dte.us.es)

Programa

Bloque A: Diseño del Simple Risc Computer (SRC): del ISP al nivel lógico.

- Tema 1: Metodología de diseño de microprocesadores. [transparencias]
- Tema 2: Descripción del procesador SRC. [transparencias]
- Tema 3: Diseño RT y lógico del SRC. [transparencias]

Bloque B: Metodología de diseño VLSI

- Tema 4: Metodologías y técnicas de implementación de circuitos integrados VLSI. [transparencias]
- Tema 5: Diseño de circuitos integrados con el entorno Alliance. [transparencias]
- Tema 6: Diseño del SRC con el entorno Alliance.

Metodología

La asignatura consta de dos partes complementarias: una parte teórica y una parte práctica.

Parte teórica

Tiene como objetivo desarrollar el diseño del procesador SRC desde el nivel de instrucción (ISP) hasta el nivel de transferencia de registros (RT). En esta parte se seguirá una metodología de clases regulares de aula, cubriendo los temas 1, 2 y 3 del programa.

Parte práctica

El objetivo de la parte práctica es el diseño del SRC desde el nivel RT hasta el nivel físico (*layout* final), punto en el que el circuito queda listo para su fabricación. Esta parte constituye el trabajo principal de la asignatura. Para su desarrollo los alumnos podrán organizarse en grupos de hasta cinco personas.

Evaluación

Para la calificación final de la asignatura se evaluarán tanto los conocimientos teóricos como las habilidades prácticas adquiridas. Para ello, el proceso de evaluación se compone de dos partes:

- Dos pruebas escritas tipo test a realizar en el mes de diciembre y durante la última semana del cuatrimestre. La calificación de estos tests supondrá un 50% de la nota final de la asignatura. [modelo de test]
- Una memoria sobre el desarrollo de la parte práctica a entregar por cada equipo de diseño. La calificación de esta memoria será la misma para todos los miembros del equipo de diseño y constituye el otro 50% de la nota final. La memoria debe redactarse de acuerdo con el modelo de memoria de prácticas proporcionado.

Material de prácticas

Entorno de diseño Alliance

Alliance es un entorno de diseño de circuitos integrados digitales desarrollado en la Universidad Pierre et Marie Curie de Paris. El entorno se compone de un conjunto de herramientas que permiten recorrer las distintas etapas del diseño de sistemas digitales complejos así como su verificación. Se distribuye bajo una licencia libre (GPL) y será usado para el desarrollo de las prácticas de la asignatura. La versión a utilizar es la 4.0.6

- [Página web de Alliance](#)
- [Zona de descarga Alliance 4.0](#)

Ejemplo de diseño: calculadora básica

Como ejemplo de diseño con Alliance se proporciona el [diseño completo](#) de la calculadora básica descrita en el Tema 1.

Jorge Juan Chico

4/11/2002